

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2000114430 A**

(43) Date of publication of application: **21.04.00**

(51) Int. Cl. **H01L 23/28**
H01L 23/29
H01L 23/31

(21) Application number: **10288548**

(71) Applicant: **SONY CORP**

(22) Date of filing: **09.10.98**

(72) Inventor: **SAKAI CHIAKI**

(54) **SEMICONDUCTOR DEVICE**

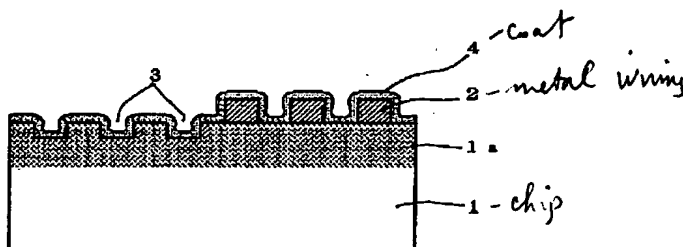
(57) Abstract:

PROBLEM TO BE SOLVED: To contemplate efficient stress distribution by providing recesses in at least one part of an underlying insulating film of an Al wiring or an Al dummy wiring on the surface of a semiconductor chip.

SOLUTION: Concaves 3 are provided on the surface of a base insulating film (SiO₂ film) 1a at the end side of a metal wiring (e.g. Al wiring or Al dummy wiring) 2 on the surface of a semiconductor chip 1, and an overcoat film 4 is formed on the top surface of the semiconductor chip 1. Because of that a material constituting the underlying insulating film 1a has higher hardness than a metal which constitutes the metal wiring 2, stress relaxation can be achieved efficiently. The shape, width, depth, and the number of the concaves 3, or distance from the position of the metal wiring 2, are not limited specifically. It is considered that a vertical shape with around 1.0 aspect ratio, a reverse taper shape with around 1.0 aspect ratio, a forward taper shape with around 1.0 aspect ratio, or a vertical shape with around 1.0 aspect ratio, are available. However, a forward taper shape with lower aspect ratio

is desirable to be used for blocking of an opening or prevention from sliding phenomenon of Al wiring.

COPYRIGHT: (C)2000,JPO



J1017 U.S. PTO
10/084511
02/28/02

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-114430
(P 2 0 0 0 - 1 1 4 4 3 0 A)
(43) 公開日 平成12年4月21日 (2000.4.21)

(51) Int. Cl. ⁷	識別記号	F I	テ-マコード (参考)
H01L 23/28		H01L 23/28	Z 4M109
23/29		23/30	D
23/31			

審査請求 未請求 請求項の数 3 O L (全4頁)

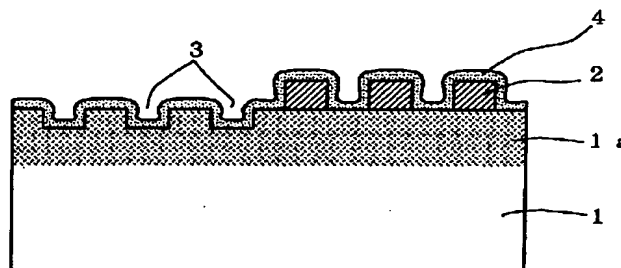
(21) 出願番号	特願平10-288548	(71) 出願人	000002185 ソニー株式会社 東京都品川区北品川6丁目7番35号
(22) 出願日	平成10年10月9日 (1998.10.9)	(72) 発明者	酒井 千秋 東京都品川区北品川6丁目7番35号 ソニー株式会社内
		(74) 代理人	100095588 弁理士 田治米 登 (外1名)
		Fターム (参考)	4M109 AA02 BA01 CA21 DA08 DB17 EA02 ED05 EE02

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 半導体チップを樹脂封止する際に生ずる収縮応力に基づくA1スライド現象を効率的に且つ製造コストを過度に増大させずに抑制できるようにする。

【解決手段】 半導体チップ表面の金属配線のチップ端部側の下地絶縁膜表面に、金属配線及び／又はその上のオーバーコート層に加わる応力を緩和するための凹部を設ける。



【特許請求の範囲】

【請求項 1】 半導体チップ表面の金属配線のチップ端部側の下地絶縁膜表面に、金属配線及び／又はその上のオーバーコート層に加わる応力を緩和するための凹部が設けられていることを特徴とする半導体装置。

【請求項 2】 金属配線を構成する金属の硬度よりも、下地絶縁膜を構成する材料の硬度の方が高い請求項 1 記載の半導体装置。

【請求項 3】 金属配線が A 1 配線であり、下地絶縁膜が SiO₂ 膜である請求項 2 記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置に関する。より詳しくは、A 1 スライド現象が抑制された半導体装置に関する。

【0002】

【従来の技術】 図 4 (a) に示すように、LSI 等の半導体チップ 4 1 は、取り扱い性や信頼性を向上させるために、通常、パッケージ工程でリードフレーム 4 2 にマウントされ、次いで図 4 (b) に示すように、耐湿性、半導体チップ表面の下地絶縁膜あるいはオーバーコート膜（主として P-SiN 膜）との密着性、機械的強度等を考慮して選定されたエポキシ樹脂等のモールド樹脂 4 3 で半導体チップ 4 1 全体が樹脂封止される。

【0003】 この樹脂封止を行う場合、モールド樹脂をそのガラス転移温度以上に加熱して軟化させた上で半導体チップとともに成型加工するが、成型後に冷却するためにモールド樹脂や半導体チップが熱収縮して収縮応力が発生する。このとき、半導体チップに比べてモールド樹脂の膨張係数が大きいために、その差に応じた熱応力が生ずる。

【0004】 これらの応力は、図 5 において矢印で示すように、モールド樹脂 5 3 で封止され、リードフレーム 5 2 に配設された半導体チップ 5 1 の周辺からその中心部に向かう方向に作用する。従って、図 6 に示すように、半導体チップ 6 1 の表面の周縁部のボンディングパッド 6 2 や A 1 配線 6 3 を半導体チップ 6 1 の表面上で引きずるせん断力が発生し、A 1 配線 6 3 が断線したり、A 1 配線 6 3 の表面のオーバーコート膜にクラック 6 4 が発生したりするという現象（A 1 スライド現象）が生ずる。

【0005】 従来、このような A 1 スライド現象を抑制するために、図 7 (a) 半導体チップの上面部分拡大図、(b) A-A 線断面図) に示すように、半導体チップ 7 1 上の A 1 配線 7 2 にスリット 7 3 を設けたり、A 1 配線 7 2 自体にオーバーコート膜 7 4 を介してリベット 7 5 を設けたりすることが試みられている（特開昭 60-10645 号公報）。

【0006】 また、図 8 に示すように、半導体チップ 8 1 の表面上に、本来の A 1 配線 8 2 やボンディングパッ

ド 8 3 の周囲に、応力分散用に新たに A 1 配線 8 4 又は A 1 ダミー配線 8 5 を設けることが提案されている（特開平 2-49429 号公報）。

【0007】 また、封止樹脂として、低い収縮応力を示す特別な樹脂の使用も試みられている。

【0008】

【発明が解決しようとする課題】 しかしながら、図 7 や図 8 に示した手法では、半導体装置の A 1 スライド現象を十分に緩和することができないという問題があった。

また、特別な樹脂の使用は、半導体装置の製造コストを押し上げるという問題がある。

【0009】 また、A 1 スライド現象は、その発生頻度が半導体装置のパッケージサイズや半導体チップサイズに比例する傾向があるために、半導体装置の今後の大容量化に伴ってパッケージサイズ並びに半導体チップサイズが大型化するので、早急に解決すべき重要な問題となっている。

【0010】 本発明は、以上の従来の技術の課題を解決しようとするものであり、半導体チップを樹脂封止する際に生ずる収縮応力に基づく A 1 スライド現象を、効率的に且つ製造コストを過度に増大させずに抑制できるようにすることを目的とする。

【0011】

【課題を解決するための手段】 本発明者は、半導体チップの表面の A 1 配線や A 1 ダミー配線の周囲の少なくとも一部の下地絶縁膜に凹部を設けることにより応力分散を効率的にできることを見出し、本発明を完成させるに至った。

【0012】 即ち、本発明は、半導体チップ表面の金属配線のチップ端部側の下地絶縁膜表面に、金属配線及び／又はその上のオーバーコート膜に加わる応力を緩和するための凹部が設けられていることを特徴とする半導体装置を提供する。

【0013】

【発明の実施の形態】 以下、本発明の半導体装置を図面を参照しながら詳細に説明する。

【0014】 本発明の半導体装置は、図 1 に示すように、半導体チップ 1 の表面の金属配線（例えば、A 1 配線又は A 1 ダミー配線） 2 のチップ端部側の下地絶縁膜 1 a の表面に、凹部 3 が配設された構造を有する。また、表面にはオーバーコート膜 4 が形成されている。図示してはいないが、通常、半導体チップ 1 はリードフレームにマウントされ、全体をモールド樹脂により封止されている。

【0015】 本発明の半導体装置においては、金属配線 2 を構成する金属の硬度よりも、下地絶縁膜 1 a を構成する材料の硬度の方が高い為、効率的に応力緩和が実現できる。この場合、金属配線 2 が A 1 配線（A 1 ダミー配線含む）であって、下地絶縁膜 1 a が SiO₂ 膜である場合が好ましい。

3

【0016】本発明において、下地絶縁膜 1 a に形成する凹部 3 の形状、巾、深さ、数、あるいは金属配線 2 からの距離等については特に限定されず、所期の A1 スライド現象抑制効果を実現するように選定すればよい。例えば、アスペクト比が約 1.0 の垂直形状 (図 2

(a))、アスペクト比が約 1.0 の逆テーパ形状 (図 2 (b))、アスペクト比が約 1.0 の順テーパ形状 (図 2 (c)) あるいはアスペクト比が約 1/2 の垂直形状 (図 2 (d)) 等が挙げられるが、開口部の閉塞や A1 スライド現象防止の点から、アスペクト比が比較的小さい順テーパ形状が好ましい。

【0017】本発明の半導体装置は、下地絶縁膜に凹部を形成する以外、従来の半導体装置の製造方法により製造することができる。下地絶縁膜に凹部を形成する手法としては、層間 A1 の接続孔 (コンタクトホール) の形成時に、同時に形成すればよい。例えば、図 3 (a) に示すように、基板 31 上の層間 A1 配線 32 上に、下地絶縁膜 33 を形成した後、コンタクトホール用レジストパターン 34 を形成する (図 3 (b))。次に、コンタクトホールを形成するエッチングを行うが、同時に凹部 35 をエッチングにより形成した後、レジストパターン 34 を除去すればよい (図 3 (c))。従って、特別な材料や設備を使用せずに、製造コストを押し上げることなく得ることができる。

【0018】

【発明の効果】本発明の半導体装置によれば、特別な材料、設備等を用いることがないので、製造コストを押し上げることなく A1 スライド現象に対する耐性を高める

ことができる。また、半導体チップを作動させるために必要な配線に対し、従来から定まっているルール (配線巾、引き回し方、リベット等) を緩和させることが可能となり、設計、信頼性の面における制約が緩和される。また、将来の大型化した半導体装置における A1 スライド現象に対しても容易に対応することができる。このため、製造コストを押し上げることなく、半導体装置の信頼性を向上させることができる。

【図面の簡単な説明】

【図 1】本発明の半導体装置の表面部分の部分拡大図である。

【図 2】凹部の形状説明図である。

【図 3】凹部の作成工程例である。

【図 4】半導体装置の製造におけるパッケージ工程の説明図である。

【図 5】半導体装置の製造におけるパッケージ工程で生ずる収縮応力の説明図である。

【図 6】半導体装置の製造におけるパッケージ工程で生ずる A1 スライド現象の説明図である。

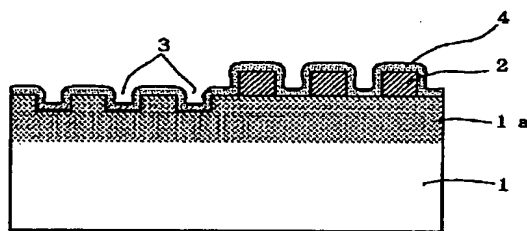
【図 7】応力分散用のスリットあるいはリベットが設けられた半導体チップの上面部分拡大図 (同図 (a))、A-A 線断面図 (同図 (b)) である。

【図 8】応力分散用の A1 配線又は A1 ダミー配線が表面に設けられた半導体チップの平面図である。

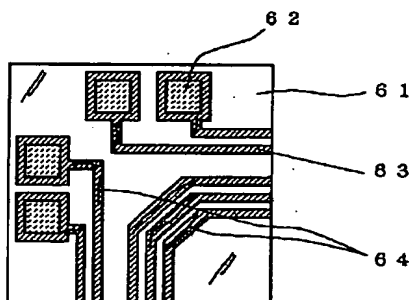
【符号の説明】

- 1 半導体チップ、1 a 下地絶縁膜、2 金属配線、3 凹部、4 オーバーコート膜

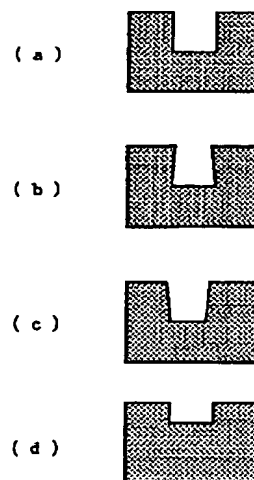
【図 1】



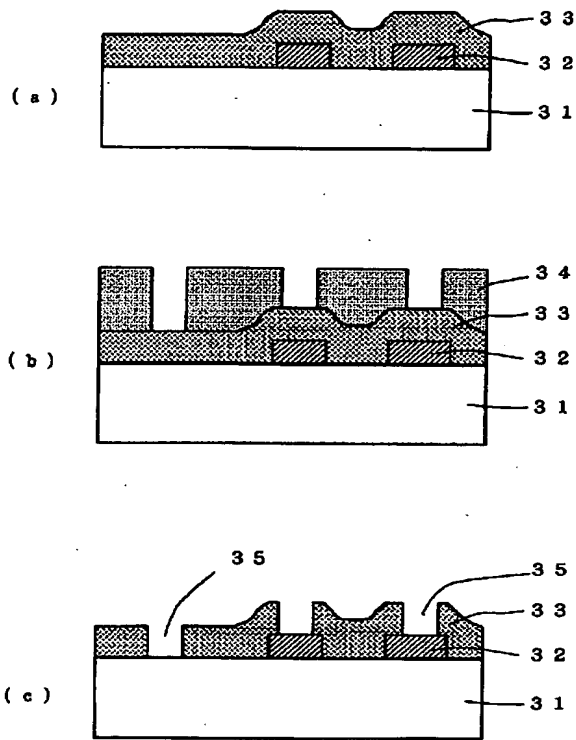
【図 6】



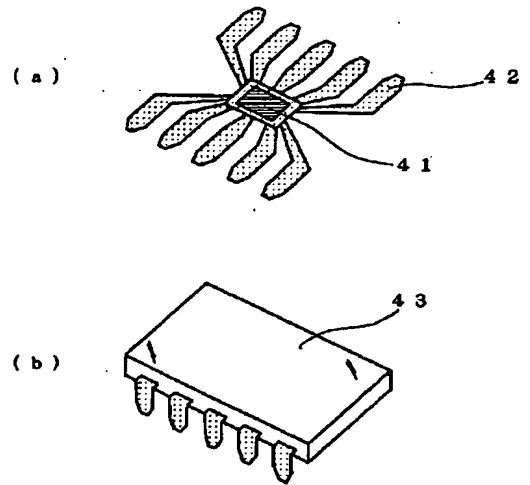
【図 2】



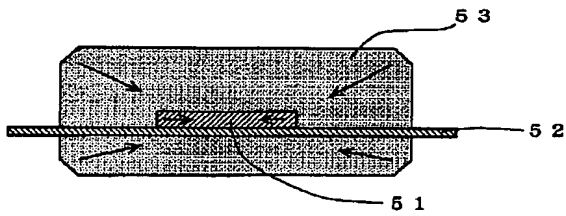
【図3】



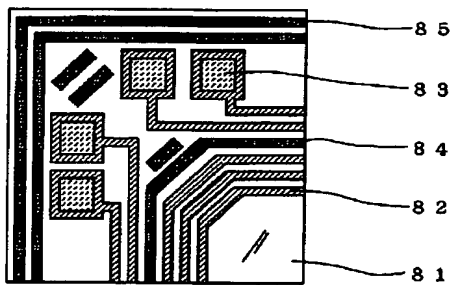
【図4】



【図5】



【図8】



【図7】

